∦

文章编号:1000-8608(2009)06-0958-06

****** 电子与信息工程》 *******

用于单片集成真空传感器的 SAR 型 ADC 设计

李金凤*1,2, 唐祯安1, 汪家奇1

(1.大连理工大学 电子与信息工程学院, 辽宁 大连 116024; 2. 沈阳化工学院 信息工程学院, 辽宁 沈阳 110142)

摘要:设计了一款适用于单芯片集成真空传感器的10位 SAR 型 A/D 转换器.轨至轨比较 器通过并联两个互补的子比较器实现.信号采样时,比较器进行失调消除,提高电路的转换精 度, 电路采用 0.5 um 2P3M 标准 CMOS 工艺制作, 系统时钟频率为 20 MHz, 输入电压范围 为0~3 V.在 1.25 MS/s采样率和 4.6 kHz 信号输入频率下,电路的信噪比为 56.4 dB,无杂 散动态范围为 69.2 dB. 芯片面积为 2 mm².3 V 电源电压供电时,功耗为 3.1 mW. 其性能已 达到高线性度和低功耗的设计要求.

关键词: 逐次逼近; A/D 转换器; 低功耗; CMOS; 单片集成真空传感器 **中图分类号**: TN432: TP212 文献标志码: A

引 言 0

自动化生产程度的不断提高,对传感器的要 求也越来越高.为了进一步提高传感器的性能,将 敏感元件、放大电路、模数转换器、信号处理电路 都集成在同一硅片上,构成集成传感器系统,它不 仅具有检测功能,还具有信号的分析与处理功能, 最终能以数字信号的形式输出信息.集成传感器 系统减少了传感器芯片的外围电路,降低了传感 器与电路之间的连线对传感器信号的影响,具有 功能强、精度高、响应速度快、体积小、功耗低、价 格低、抗干扰能力强、适合远距离信号传输等优 点. 在消费电子工业及微传感器阵列方面,具有广 阔的市场前景[1].

逐次逼近型模数转换器(successive approximation register analog to digital converter, SARADC) 具有功耗低、面积小等优 点.其分辨率的提高只需提升比较器的精度,复杂 度不会呈指数增加,电路的功耗随采样率的增加 而增加,而非固定值,这对于不需要连续采集数据 的应用非常有利. 然而, SARADC 易受工艺参数 变化的影响,引起电压失调、产生电容比值误差, 进而导致电路的线性和动态范围降低,分辨率高

于10位时,芯片面积急剧增加.尽管存在上述的 不足,为满足传感器网络的低功耗需求, SARADC 仍不失为一个好的选择. 近年来, SARADC 得到了深入的研究. Abdelhalim 等研 制了一款适用于植入式传感器的采样率为 60 kS/s的 8 位低功耗 SARADC 电路^[2]. Scott 等 设计了智能微尘(smart dust)系统中的采样率为 100 kS/s 的 8 位低功耗 SARADC 电路^[3]. 国内 SARADC 电路大多采用 0.25~0.60 µm 工艺设 计,采样率为200 kS/s 左右,分辨率为10 位或12 位[4,5]. 本文针对所设计的真空传感器,研制一款 10 位 SAR 型 ADC 电路. 采用 0.5 µm 工艺制作, 采样率为1.25 MS/s.

集成真空传感器系统 1

本文设计的微热板真空传感器采用 CMOS 工艺和表面牺牲层技术加工,微热板采用二氧化 硅-氮化硅-二氧化硅多层复合薄膜加工成四臂支 撑的方形板,加热电阻设计成环形和蛇形,在衬底 上制作了多晶硅温度补偿电阻. 牺牲层腐蚀掉后, 通过支撑桥支撑,微热板悬空在硅衬底上,形成真 空腔[6],其结构如图1所示.

收稿日期: 2007-11-16; 修回日期: 2008-12-01.

基金项目:国家自然科学基金资助项目(90607003)

作者简介:李金凤*(1979-),女,博士生;唐祯安(1955-),男,教授,博士生导师.



图 1 微热板真空传感器扫描电镜图 Fig. 1 SEM of the MHP-based vacuum sensor

以 Post-IC 的集成模式将微传感器与集成电路集成在同一芯片上. 传感器工作在恒电压模式,如图 2 所示. R_s 为传感器加热电阻, R_d 为温度补偿电阻,电阻 R₁、R₂、R_{1a}、R_{1b}、R_{2a}、R_{2b}用来调整运算放大器的闭环增益. 测量伊始,在低气压环境下,调电阻 R_p 使电桥平衡;当气压升高时,电桥失去平衡输出电压. 该差分信号经放大器放大后输出 0~3 V 电压信号,经模数转换器及信号调理 电路处理后输出数字信号. 传感器系统采用与0.5 μm 2P3M 标准 CMOS 工艺和 MEMS 技术相兼容的工艺流程实现标准化制造.



图 2 集成传感器系统框图 Fig. 2 Diagram of the integrated sensor system

针对该传感器的特点对 ADC 的要求如下:供 电电压为 3 V;分辨率为 8 位或更高;输入信号范 围为 0~3 V;最大采样率 100 kS/s 以上;低功耗.

2 模数转换器电路设计

SARADC包括采样/保持电路、逐次逼近寄 存电路、数模转换电路、比较电路、逻辑控制电路, 其结构框图如图 3 所示.图 4 给出了电路的工作 时序图.C。为片选信号,低电平时电路正常工作; clk 为时钟信号.为节约芯片面积,Dout采用串行 输出.Din给出每次 A/D转换的起始位信号.起始 位 S 为高电平时,电路开始工作.采样伊始,开关 S₄ 接至 V_{in},输入信号的电压值被存储到电容阵 列上,电路进入采样模式.开关 S₁、S₂、S₃ 闭合,预 放大器进行失调消除.4 个时钟周期后,开关 S₁、 S₂、S₃ 断开,S₄ 接至 V_{ref},电路进入逐次比较工作 模式.自 Busy 信号的下降沿开始,数据开始串行 输出,高位在前,低位在后.电路至少每 16 个时钟 周期采集一次信号.为了降低功耗,比较器在每次 转换结束后,进入低功耗模式.待下一次转换到来 时,进入工作模式.





2.1 SAR 算法实现

SAR 算法是根据比较器的结果,顺序决定每 位输出的值. 一个 N 位逐次比较寄存器有 2^{N} 个 不同的输出结果,至少需要 N 个触发器来产生并 存储转换结果^[7]. 电路可在触发器的后面加一个 多路选择器来实现,4 位 SAR 算法的实现电路如 图 5 所示.这里:clk、d、reset、 $q(q^{-})$ 构成具有复位 功能的上升沿触发的 D 触发器, set、 $q(q^{-})$ 、sset、 d_1 、 q_m 构成具有置位功能的多路选择器. d_1 为比 较器的输出信号, q_1 为输出序列的最高位.电路工 作伊始,令 set 信号为 0,将所有的输出置 1;其次 reset、sset 为 0, q_1 、 q_2 、 q_3 、 q_4 分别为 1、0、0、0;待 clk 的上升沿到来时,触发器正常工作, q_1 将比较器的 输出 d_1 导入, q_2 置 1,其余位保持不变.以下时钟 结果类推.



Fig. 5 Circuit of 4-bit SAR algorithm

2.2 DAC 电路实现

电荷按比例缩放 DAC 因其精度高、速度快, 外部可不接运算放大器而成为 DAC 电路的首选.若采用二进制权电容的形式,10 位 DAC 电容 阵列中最大电容与最小电容之比为 1 024 : 1,因 此本文的 DAC 采用 2 个电荷按比例缩放子 DAC 的形式实现,10 位 DAC 原理图如图 6 所示,其中 b_i 表示开关的通断.缩放电容 $C_1 = 1/(\frac{1}{C} - \frac{1}{32C})$ = $\frac{32}{31}C$,式中 C 表示单位电容值.根据戴维南定

理,电路简图如图7所示.

图 7 中.

$$V_{1} = V_{\text{ref}} \sum_{i=6}^{10} b_{i} 2^{5-i}$$

$$V_{r} = \frac{V_{\text{ref}}}{31} \sum_{i=1}^{5} b_{i} 2^{5-i}$$

$$V_{\text{out}} = \frac{31}{32} V_{r} + \frac{1}{32} V_{1} =$$

$$\left(\sum_{i=1}^{5} b_{i} 2^{-i} + \sum_{i=6}^{10} b_{i} 2^{-i}\right) V_{\text{ref}} =$$

$$\sum_{i=1}^{10} b_{i} 2^{-i} V_{\text{ref}}$$

DAC 的精度取决于电容阵列的匹配和噪声, 其中热噪声是主要的随机过程误差源.边界效应

及氧化层厚度、介电常数的波动[8] 是影响电容精 度的两个主要因素. 电容利用单位电容的并联形 式实现,以减小掩模板侧蚀(undercutting)过程引 起的电容比值误差[9].为了克服电容梯度误差的 影响,电容布局采用同质心原则.电容上极板作为 共同端,降低比较器输入端的寄生电容.将低5位 及高5位电容阵列用两部分实现,并采用保护环 将整个电容阵列与外围开关电路隔离.小电容靠 近其对应的开关电路放置,减少连线电容[6].电容 采用 poly1-poly2 电容. 开关网络采用 NMOS 开 关传输 gnd, PMOS 开关传输参考电压, CMOS 传输门传输输入信号.在转换过程中,大多数电容 节点处于激活状态,电荷注入并不是主要的问题. 当采样结束时,连接输入信号的开关打开,会引起 较大的电荷注入,然而电荷注入到整个电容阵列 上,由此引起的误差很小.



Fig. 6 Schematic diagram of 10-bit DAC



图 7 10 位 DAC 等效电路图



2.3 比较器电路实现

比较器的性能决定着整个 ADC 的性能,其 设计最为关键.为实现模拟输入信号为 0~3 V 的 轨至轨输入的模数转换器,可采用单极性电荷再 分配的形式^[10].这种转换器的比较器为过零比较 器.采用逐次逼近算法,比较器的反向输入端逐渐 趋于零;也可将比较器的同向输入端设为参考电 压,反向输入端逐渐趋于参考电压^[3].这类 ADC 的精度受开关及电容影响;也可采用轨至轨输入、 差分输出的运算放大器,经求和电路及再生锁存 器后输出^[11].这类比较器的前置放大器的放大倍 数可以是很大的,但难以用于高速电路.并行互补 形式的多级比较器可用于高速电路^[12].本文在其 基础上设计的比较器电路如图 8 所示.

该轨至轨共模输入范围比较器是通过并联两 个互补比较器实现的.一个比较器通过 NMOS 差 分输入对实现,另一个通过 PMOS 差分输入对实 现.每个比较器包括三级:预放大器、正反馈决策 电路、SR 锁存器. 预放大器的共源耦合对(P_1 - P_2 、 N₁₁-N₁₂)驱动二极管连接的负载晶体管(N_0 - N_1 、 P_{11} - P_{12}),其增益为耦合对跨导与负载的跨导之 比. 尽管增益不大,但响应速度快. 正反馈决策电 路由时钟控制的可再生锁存器构成. *clk* 为高电平 时,晶体管 N_2 、 N_5 、 N_{13} 、 N_{16} 导通,使再生锁存器输 出为 *gnd*. *clk* 为低电平时,由 V_p 、 V_n 的电压差引 起再生锁存器两支路的电流差. 在正反馈的作用 下,锁存器的两个输出端形成电压差. 在 SR 锁存 器的驱动下,比较器的输出产生数字电路所需的 高、低电平.



图 8 轨至轨比较器电路 Fig. 8 Circuit of the rail to rail comparator

消除输入失调电压是比较器设计的关键所 在.本文采用输出失调存储(OOS)的方法来消除 失调.输出失调存储是将预放大器的输入短接到 地,将失调电压存储到输出耦合电容上,图9显示 了输出失调存储的电路原理图.输出失调存储所 产生的失调电压可表示为^[13]

$$V_{ ext{os}} = rac{\Delta Q}{A_{ ext{o}}C} + rac{V_{ ext{osl}}}{A_{ ext{o}}}$$

式中: A_0 是预放大器的增益; ΔQ 为开关 S_5 、 S_6 对 电容 C_1 、 C_2 电荷注入的偏差; V_{osl} 为锁存器的失 调电压.

3 仿真实验结果

整个系统的仿真结果如图 10 所示.时钟周期 为 20 MHz,采样 4 个时钟周期后进行模数转换. 自 Busy 信号的下降沿开始,数据开始串行输出, 高位在前,低位在后.这里采集的数据为 0.5 V,





参考电压为 3 V,输出信号为 001010~1010,结果 正确,功耗为 3.1 mW.采用 0.5 μm 2P3M CMOS 工艺实现,ADC 芯片面积为 2 mm²,不含 PAD 面积为 0.9 mm².单芯片真空传感器系统版 图如图 11 所示.

测试时输入正弦信号,对输出信号进行 FFT

变换计算 SNDR、ENOB、SFDR 等参数.为了避 免拖尾现象,采用整数个周期采样.根据相干采样 原理:

$$M/N = F_{\rm in}/F_{\rm s}$$

式中:M为采样周期数;N为采样点数;F_{in}为输入 正弦信号频率;F_s为采样频率.在输入信号的频 率为 4.6 kHz,时钟频率为 20 MHz 时,每 16 个时钟周期采样一次,即采样频率为 1.25 MS/s,采 集 15 个信号周期,得到 4 096 个采样点.将得到 的输出数字信号经 Matlab 处理,FFT 的输出频 谱如图 12 所示.计算得信噪比为 56.4 dB,有效 位为 9.1 位,SFDR 为 69.2 dB,满足设计要求.



图 10 SARADC 的仿真结果图 Fig. 10 Simulation results of SARADC



图 11 单芯片真空传感器系统版图 Fig. 11 Layout of monolithic vacuum sensor system



4 结 论

设计了一款适用于真空传感器的 10 位 SAR 型 A/D转换器.详细描述了 SAR 算法、电荷再分 配型 DAC 电路、比较器的电路设计及版图实现. 仿真结果表明:在 1.25 MS/s 采样率和 4.6 kHz 的输入频率下,模数转换器信噪比为 56.4 dB, SFDR 为 69.2 dB.3 V 电源电压供电时,功耗为 3.1 mW.电路采用 0.5 μ m 2P3M 工艺设计,芯片 面积为 2 mm²,不含 PAD 部分的面积为 0.9 mm². 经验证,性能指标良好,符合预期的设计要求.

参考文献:

- [1] WITVROUW A, VAN STEENKISTE F, MAES D, et al. Why CMOS-integrated transducers? A review
 [J]. Microsystem Technologies, 2000, 6(5):192-199
- [2] ABDELHALIM K, MACEACHERN L, MAHMOUD
 S. A nanowatt successive approximation ADC with offset correction for implantable sensor application
 [C] // 2007 IEEE International Symposium on Circuits and Systems. Piscataway:IEEE, 2007: 2351-2354

- [3] SCOTT M D, BOSER B E, PISTER K S J. An ultralow-energy ADC for smart dust [J]. IEEE Journal of Solid-state Circuits, 2003, 38(7): 1123-1129
- [4] 袁小龙,赵梦恋,吴晓波,等.低功耗高精度逐次逼近型模数转换器的设计[J].浙江大学学报,2006, 40(12):2153-2157
- [5] 赵天挺,隋海建,曲静然,等.一种12-b125 kSPS全差 分 CMOS SAR A/D 转换器[J]. 微电子学,2004, 34(6):694-697
- [6] ZHANG Feng-tian, TANG Zhen-an, YU Jun, et al. A micro-Pirani vacuum gauge based on micro-hotplate technology [J]. Sensors and Actuators, 2006, 126(2):303-305
- [7] ROSSI A, FUCILI G. Non-redundant successive approximation register for A/D converters [J].
 Electronics Letters, 1996, 32(12):1055-1057
- [8] SHYN Jyn-bang, TEMES G C, KMMMENACHER F. Random error effects in matched MOS capacitors and current sources [J]. IEEE Journal of Solid-state

Circuits, 1984, 19(6):948-955

- [9] BADER R J, LI H W, BOYCE D E. CMOS 电路设 计•布局与仿真[M]. 陈中建,译. 北京:机械工业出版社, 2006
- [10] JOHNS D A, MARTIN K. Analog Integrated Circuit Design [M]. New York: Wiley, 2002
- [11] FAYOMI C J, ROBERTS G W, SAWAN M. Low power /low voltage high speed CMOS differential track and latch comparator with rail to rail input [C] // ISCAS 2000-IEEE International Symposium on Circuits and Systems. Geneva: IEEE Press, 2000:653-656
- [12] CHU W S, CURRENT K W. A CMOS voltage comparator with rail to rail input range [J]. Analog Integrated Circuits and Signal Processing, 1999, 19(2):145-149
- [13] RAZAVI B, WOOLEY B A. Design techniques for high-speed, high-resolution comparators [J]. IEEE Journal of Solid-state Circuits, 1992, 27(12): 1916-1926

Successive approximation register ADC for monolithic vacuum sensor

LI Jin-feng^{*1,2}, TANG Zhen-an¹, WANG Jia-qi¹

(1. School of Electronic and Information Engineering, Dalian University of Technology, Dalian 116024, China;
 2. School of Information Engineering, Shenyang University of Chemical Technology, Shenyang 110142, China)

Abstract: A 10-bit successive approximation register analog-to-digital converter (ADC) is presented for monolithic vacuum sensor. Rail to rail comparator is achieved by paralleling two complementary comparators. Offset cancellation circuit is included to improve the precision of the ADC. The circuit is fabricated in a 0.5 μ m 2P3M standard CMOS process. The system clock frequency is 20 MHz and the input voltage changes from 0 to 3 V. The effective chip area is 2 mm². The signal to noise and distortion ratio of 56.4 dB and the spurious-free dynamic range of 69.2 dB are achieved with 4.6 kHz sinusoid wave and 1.25 MS/s sample rate. The power dissipation is 3.1 mW at 3 V supply voltage. The proposed ADC meets the requirements of high linearity and low power dissipation.

Key words: successive approximation; analog-to-digital converter(ADC); low power dissipation; CMOS; monolithic vacuum sensor