

基于 FPGA 的 WIMAX LDPC 码译码器设计与实现

王秀敏*, 张洋, 付娟, 王尧

(中国计量学院 信息工程学院, 浙江 杭州 310018)

摘要: 提出了基于 TDMP-NMS 算法的部分并行 LDPC 码译码器结构, 其具有 TDMP 算法译码收敛快和 NMS 算法保持较好误码率性能下实现简单的优点. 该译码器支持 WIMAX 标准中所有码长和码率 LDPC 码的译码. 设计了一种基于桶形移位寄存器的重组网络单元, 实现了对该标准中 19 种码长 LDPC 码译码的支持. 采用一种适合于 TDMP 算法及其各种简化算法的动态迭代停止准则, 使译码器能根据译码情况自适应地调整迭代次数. 结果显示所提方案在提高译码器吞吐率的同时有效减少了译码器的硬件资源消耗.

关键词: WIMAX; 低密度奇偶校验码译码器; 现场可编程逻辑门阵列; TDMP; 归一化最小和算法

中图分类号: TN47 **文献标志码:** A

0 引言

WIMAX (world interoperability for microwave, 全球微波互联接入) 标准 LDPC (low density parity-check, 低密度奇偶校验) 码译码器的设计是近年来人们研究的一个热点问题. Kopparthi 等^[1] 研究了该标准 LDPC 码编码器的实现. Brack 等^[2] 实现了同时支持 BP 算法和 TDMP (turbo decoding message passing, 译码消息传播) 算法的该标准 LDPC 码译码器的 IP 核, 根据各码率模型矩阵特点的不同, 采用其中一种算法对其进行译码. 杨建平^[3] 基于偏移最小和算法、张函隽^[4] 基于分层偏移最小和算法实现了该标准 LDPC 码的译码器.

数据重组网络是部分并行 LDPC 码译码器设计中的一个重要问题. 该网络的作用是将存储单元中并行输出的一组数据经过重新排列后传递给下一级的运算单元进行处理. 采用 Benes 网络^[5] 实现时, 虽然能实现译码器对码长的可配置, 但该网络的级数太多, 一个 N 输入 N 输出的该网络由 $2 \times [\log_2 xN] - 1$ 级交换单元构成 (其中 $[x]$ 表示不小于 x 的最小整数), 控制信号产生逻辑电

路复杂. 迭代停止准则的选择是另一个重要问题. 基于伴随式等于 0 的动态迭代停止准则^[6] 虽然在达到相同的误码率性能时, 平均迭代次数最少, 但其硬件实现复杂度高. 基于最大迭代次数的准则^[7] 不能动态调整迭代次数. 为此杨建平等采用了一种分布式计算伴随式的方法, 但此方法需要额外的逻辑传输上一次迭代的硬判决结果.

本文基于 TDMP 算法和 NMS (normalized minimum sum, 归一化最小和) 算法相结合的 TDMP-NMS 算法, 设计实现支持 WIMAX 标准中所有码长和码率 LDPC 码译码器. 设计一种基于桶形移位寄存器的新型数据重组网络, 实现译码器对该标准中多码长 LDPC 码的支持; 并提出一种适合 TDMP 译码算法及其各种简化算法的动态迭代停止准则, 以此在保证误码率性能的同时, 降低硬件实现的复杂度.

1 LDPC 码的译码算法

TDMP-NMS 算法的译码过程与 TDMP 算法^[8] 相同, 而其校验节点信息的处理与 NMS 算法^[9] 相同. 对其中的每个校验节点 i 和与其相邻

收稿日期: 2010-02-05; 修回日期: 2012-05-22.

基金项目: 国家质检总局科技计划资助项目 (2009QK027); 浙江省科技计划优先主题重点工业项目 (2010C11024); 国家自然科学基金青年基金资助项目 (200802025).

作者简介: 王秀敏* (1963-), 女, 1991 届大连理工大学硕士, 教授, E-mail: wxm6341@163.com.

的所有变量节点 $j, j \in R(i)$, TDMP-NMS 算法中校验节点信息与变量节点后验 LLR 信息更新的步骤如下^[10]：

首先计算本次迭代第 k 次子迭代时变量节点 j 传递给校验节点 i 的消息

$$q_{ij}^{(n,k)} = P_j^{(n,k-1)} - \text{sgn}(r_{ji}^{(n,k-1)}) | r_{ji}^{(n,k-1)} | \quad (1)$$

其中 n 为当前迭代的次数. 然后计算更新第 k 次子迭代校验节点 j 传递给变量节点 i 的消息的绝对值为

$$| r_{ji}^{(n,k)} | = \alpha \min_{j' \in R(i) \setminus j} (| q_{ij'}^{(n,k)} |) \quad (2)$$

符号为

$$\text{sgn}(r_{ji}^{(n,k)}) = \text{sgn}(q_{ij}^{(n,k)}) \prod_{j' \in R(i)} \text{sgn}(q_{ij'}^{(n,k)}) \quad (3)$$

最后计算更新第 k 次子迭代后变量节点 j 的后验 LLR 信息为

$$P_j^{(n,k)} = q_{ij}^{(n,k)} + \text{sgn}(r_{ji}^{(n,k)}) | r_{ji}^{(n,k)} | \quad (4)$$

2 WIMAX LDPC 码部分并行译码器设计

本文设计的部分并行 LDPC 码译码器结构如图 1 所示^[11]. 整个译码器由变量节点后验 LLR 信息存储单元、数据重组网络、译码处理单元、硬判决输出单元和控制单元构成. 变量节点后验 LLR 信息存储单元用于信道初始 LLR 信息的接收和译码过程中变量节点后验 LLR 信息的存取. 数据重组网络的作用是将 LLR 存储单元输出的一组数据重新分配至运算单元阵列中的各个单元进行处理. 译码处理单元包括译码运算单元和分量码存储单元. 译码运算单元共有 96 个, 以支持 WIMAX 标准中最大扩展因子为 96 的 LDPC 码的同一分量码的并行译码. 分量码存储单元存储以压缩方式表示^[4]的各个分量码内信息. 当译码进行到满足迭代停止准则时, 硬判决输出单元

对从变量节点后验 LLR 信息存储单元中读出的信息进行硬判决并输出译码结果. 控制单元产生各个模块的工作使能信号.

2.1 译码器迭代停止准则

分布式计算伴随式的实现方法如下：每次变量节点向与其相邻的校验节点传递消息时, 将各个变量节点上一次迭代的硬判决结果嵌入到本次迭代该变量节点传递给校验节点信息的最高比特位, 在校验节点处理单元中完成校验判断. 该方法需要额外的逻辑传输上一次迭代的硬判决结果. 本文提出并采用如下一种适合于 LDPC 码 TDMP 译码算法及其各种简化算法的动态迭代停止准则：对于由 m 个分量码且每个分量码由 z 个 SPC 码构成的 QC LDPC 码, 每次在处理器单元更新变量节点后验 LLR 信息时, 即判断更新后每个变量节点后验 LLR 信息的硬判决结果是否与前一次更新后的硬判决结果一致, 该判断与 LLR 信息的更新以流水线的方式进行, 若在一次迭代过程中, 所有 m 个分量码的所有 z 个 SPC 码在更新后硬判决结果与相应节点比特最近一次更新后硬判决结果相同, 或达到最大迭代次数, 则停止迭代. 本文以 WIMAX 标准中码率 R 为 $1/2$ 和 $5/6$, 码长为 2 304 的两种 LDPC 码为例, 对以下 3 种迭代停止准则进行了仿真分析：(1) 最大迭代次数准则；(2) 校验方程满足与最大迭代次数相结合；(3) 本文所提准则. 译码算法采用浮点 TDMP-NMS 算法, 所得误码率 (R_{bc}) 曲线和平均迭代次数 (n) 分别如图 2(a)、(b) 所示, 由图中可以看出, 此 3 种迭代停止准则的误码率性能几乎相同, 中高信噪比时, 准则(3)较准则(2)要多迭代 0.6 至 1 次. 根据分布式计算伴随式的原理, 硬件实现时采用准则(2)要多迭代 1 次, 因此基于本文所提出的迭代停止准则在高信噪比时与准则(2)的平均迭代次数相同, 但该准则不需传输上次译码结果的额外逻辑电路, 因此实现复杂度更低.

2.2 译码运算单元设计

本文设计的运算单元结构如图 3 所示^[11]. 其中, 寄存器组、比较单元为支持动态迭代停止准则而设置. 每当一个有效的变量节点后验 LLR 信息输入, 即取出其符号位存储于寄存器组中. 每当一个更新后的变量节点后验 LLR 信息输出, 即取出其符号位并与之前存储于寄存器组中相应的比特

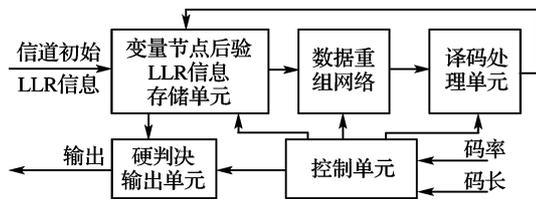
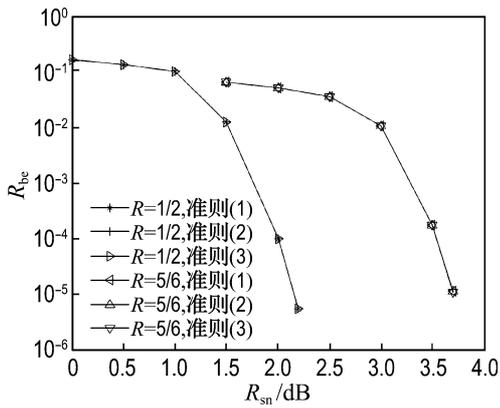
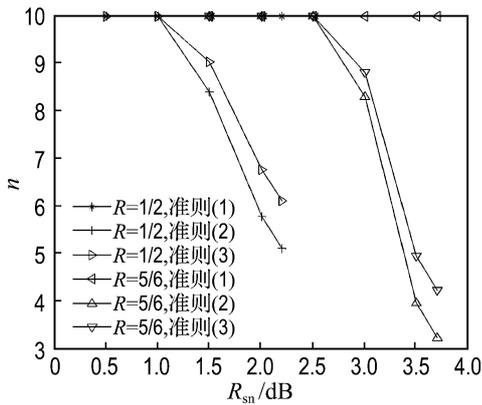


图 1 WIMAX LDPC 码部分并行译码器总体结构图

Fig.1 Overall architecture of the partial parallel WIMAX LDPC code decoder



(a) 误码率曲线



(b) 迭代次数曲线

图2 不同迭代停止准则下误码率和平均迭代次数曲线

Fig. 2 BER performance and average iteration number of different iteration stopping criteria

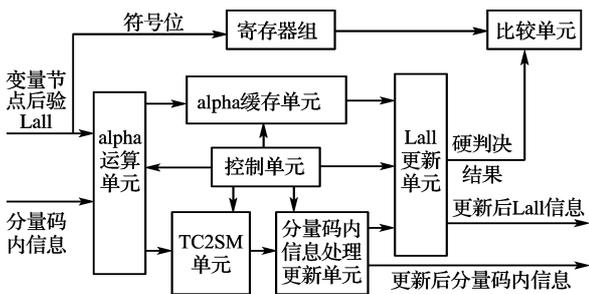


图3 译码运算单元结构图

Fig. 3 Architecture of calculation unit of the decoder

送入比较单元,判断其是否相同,比较结果送入译码器总控单元,用于支持本设计所提出的动态迭代停止准则. alpha 运算单元完成式(1)的计算,并将结果缓存至 alpha 缓存单元中,TC2SM 转换模块将 alpha 运算单元得出的 $q_{ij}^{(n,k)}$ 转化为符号-绝对值的形式,并传递给分量码内信息处理更新单元,该单元完成式(2)和(3)的计算. Lall 更新单元

根据式(4)完成变量节点后验 LLR 信息的更新. 控制单元控制整个运算单元的工作.

2.3 译码器数据重组网络单元设计

为支持 WIMAX 标准中所有 19 种扩展因子 LDPC 码的译码,本文设计了一种基于桶形移位寄存器的重组网络单元. 一个输入输出数据端口数为 z_{max} 的该单元由一个 $z_{max} \times z_{max}$ 的桶形移位寄存器和一个 $z_{max} \times z_{max}$ 的数据分配单元两部分构成,其工作过程如下:设当前输入的有效数据个数为 z ,循环移位值为 t_s ,首先桶形移位寄存器单元对输入端口的所有 z_{max} 个数据根据 t_s 的值进行循环移位. 数据分配单元由一个控制信号发生器和 z 个 2 选 1 数据选择器构成. 控制信号发生器首先计算中间变量 $i_0 = z - t_s$ 和 $\delta = z_{max} - z$,根据 i_0 产生 2 个 z_{max} 位宽的标志位向量. 第 1 个向量的低 z 位上的值为 1,其余为 0,第 2 个向量的低 i_0 位上的值为 1,其余为 0. 若第 1 个向量第 i 位上的值为 1,则输入至第 i 个数据选择器第 1 个和第 2 个数据端口的数据依次为前一级桶形移位寄存器单元第 i 个和第 $i + \delta$ 个输出端口的数据;否则,该数据选择器 2 个数据输入端口的数据均设为 0. 若第 2 个向量第 i 位上的值为 1,则第 i 个数据选择器选择第 1 个输入端口的数据输出,否则选择第 2 个端口的数据输出.

例如设计一个 12×12 的重组网络单元,该单元由桶形移位寄存器单元和数据分配单元构成,其中桶形移位寄存器的有效输入数据个数 $z = 7$,即 $d_0, d_1, d_2, d_3, d_4, d_5, d_6$,循环移位值控制信号 t_s 为 5,经过第 1 级的桶形移位寄存器单元后,其 12 个输出端口的数据依次为 $d_5, d_6, d_7, d_8, d_9, d_{10}, d_{11}, d_0, d_1, d_2, d_3, d_4$. 数据分配单元控制信号发生器根据 z 和 t_s 产生的第 1 个 12 比特标志位向量为 $12'b000001111111$,第 2 个标志位向量为 $12'b000000000011$. 根据第 1 个标志位向量,数据分配单元第 1 至第 7 个数据选择器 2 个输入端口的数据分别来自桶形移位寄存器单元第 1 个至第 7 个数据输出端口即 $d_5, d_6, d_7, d_8, d_9, d_{10}, d_{11}$,以及第 6 个至第 12 个数据输出端口即 $d_{10}, d_{11}, d_0, d_1, d_2, d_3, d_4$. 第 8 个至第 12 个数据选择器 2 个输入端口的数据设为 0. 根据第 2 个标志位向量,第 1 和第 2 个数据选择器选择第 1 个端口的数据即 d_5, d_6 输出,第 3 至第 12 个数据选择器选择第 2 个

端口的数据即 $d_0, d_1, d_2, d_3, d_4, 0, 0, 0, 0, 0$ 输出。出现在数据分配单元输出端口的前7个数据即为将桶形移位寄存器输入端的7个有效数据循环上移5后所得到的数据序列。

每次迭代处理传递给处理器中各个单元的变量节点信息是经过数据重组网络输出的数据序列。为了使下一次迭代处理时所需数据按顺序排列，本设计将采用一种增量循环移位的设计方案^[12]。该方案中每次从存储器中读出的 z 个变量节点信息的循环移位值是本次该组数据所需移位值与上一次处理所需移位值的模 z 的差值。经处理器更新后的信息可直接存储至原单元中。

3 实验结果及分析

选择 Cyclone2 系列的 FPGA 芯片 EP2C70F896C6 作为目标器件，编译综合后的结果显示，该译码器共消耗 28 776 个逻辑单元，最高工作频率可达 69 MHz，码长为 2 304 的各码率 LDPC 码的 TDMP-NMS 算法的浮点及定点仿真误码率如图 4 所示。最大迭代次数设为 10 次。定点仿真时，信道信息、分量码内信息采用 7 bit 量化；变量节点后验 LLR 信息采用 9 bit 量化；其中小数位占 2 bit，符号位占 1 bit，其余为整数位。码

长为 2 304，迭代 10 次时，码率为 1/2、5/6 的 LDPC 码最大译码时钟周期分别为 1 011、1 257，对应的用户数据吞吐率分别为 79 Mbps 和 106 Mbps。本设计与现有设计的对比如表 1 所示，其中的吞吐率均化为用户数据吞吐率，由于本设计采用低成本的 Cyclone2 FPGA 作为目标器件，电路的工作频率相对较低。相同的工作频率条件下，本设计可获得较文献[4]更高的吞吐率。由于本设计以压缩的方式存储校验节点传递给变量节点的信息，占用的存储资源要远少于文献[3]。

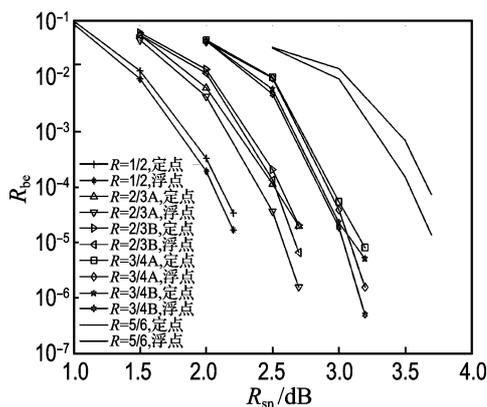


图 4 WIMAX LDPC 码误码率性能
Fig. 4 BER performance of WIMAX LDPC

表 1 与其他设计的对比

Tab. 1 Comparison with other designs

设计	译码算法	目标器件	占用资源	工作频率/MHz	吞吐率/Mbps
本文	TDMP-NMS	Cyclone2	28776 LE	69	79 (R=1/2, n=10)~
		FPGA	103 kbit mem		106 (R=5/6, n=10)
文献[3]	OMS	Stratix2 GX	27784 LUT	150	55 (R=1/2, n=15)
		FPGA	188 kbit mem		
文献[4]	OMS	Virtex2 Pro	22335 LUT	110	20.8 (R=1/2, n=15)~
		FPGA	89 block ram		135 (R=5/6, n=10)

4 结 语

本文设计实现了一种支持 WIMAX 标准中所有码长和码率 LDPC 码译码器。采用一种基于桶形移位器的重组网络单元实现了对该标准中所有 19 种码长的支持，采用 TDMP-NMS 译码算法和一种适合于该算法且硬件实现简单的迭代停止准则，使译码器能够根据译码状态动态调整迭代次数，提高了吞吐率。

参 考 文 献：

[1] Kopparthi S, Gruenbacher D M. Implementation of a flexible encoder for structured low-density parity-check codes[C] // **IEEE Pacific Rim Conference on Communications, Computers and Signal Processing 2007**. PacRim: IEEE, 2007: 438-441.

[2] Brack T, Alles M, Kienle F, et al. A synthesizable IP core for WIMAX 802.16E LDPC code decoding [C] // **IEEE 17th International Symposium on**

- Personal, Indoor and Mobile Radio Communications.** Helsinki:IEEE, 2006:1-5.
- [3] 杨建平. IEEE 802.16e 标准 LDPC 码译码器的 FPGA 设计与实现[D]. 成都:西南交通大学, 2010. YANG Jian-ping. On the FPGA design and implementation of the IEEE 802.16e LDPC decoder [D]. Chengdu:Southwest Jiaotong University, 2010. (in Chinese)
- [4] 张函隽. 基于 WIMAX802.16e 的 LDPC 码解码器的设计与优化[D]. 上海:上海交通大学, 2008. ZHANG Han-jun. Design and optimization of decoder of LDPC code based on WIMAX 802.16e standard [D]. Shanghai:Shanghai Jiaotong University, 2008. (in Chinese)
- [5] LIN Jun, WANG Zhong-feng, LI Li, *et al.* Efficient shuffle network architecture and application for WIMAX LDPC decoders [J]. **IEEE Transactions on Circuits and System—II Express Briefs**, 2009, **56**(3): 215-219.
- [6] HU Wen-hsiang, Bahn J H, Bagherzadeh N. Parallel LDPC decoding on a network-on-chip based multiprocessor platform [C] // **2009 21st International Symposium on Computer Architecture and High Performance Computing**. Sao Paolo:IEEE, 35-40.
- [7] Lee J Y, Ryu H J. A 1-Gb/s flexible LDPC decoder supporting. Multiple code rates and block length [J]. **IEEE Transactions on Consumer Electronics**, 2008, **54**(2):417-424.
- [8] Mansour M M, Shanbhag N R S. A 640-Mb/s 2048-bit programmable LDPC decoder chip [J]. **IEEE Journal of Solid-state Circuits**, 2006, **41**(3):684-698.
- [9] CHEN Jin-hu. Reduced complexity decoding algorithm for low density parity check codes and turbo codes [D]. Hawaii:University of Hawaii, 2003.
- [10] XIAO Peng, Satoshi G. Implementation of LDPC decoder for 802.16e [C] // **IEEE 8th International Conference on ASIC (ASICON '09)**. Changsha:IEEE, 2009:501-504.
- [11] 王秀敏,张洋,陈豪威,等. WIMAX LDPC 码译码器的 FPGA 实现 [J]. 电子技术应用, 2011, **37**(3): 44-47. WANG Xiu-min, ZHANG Yang, CHEN Hao-wei, *et al.* Implementation of WIMAX LDPC decoder based on FPGA [J]. **Application of Electronic Technique**, 2011, **37**(3):44-47. (in Chinese)
- [12] SUN Yang, Karkooti M, Cavallaro J R. VLSI decoder architecture for high throughput, variable block-size and multi-rate LDPC codes [C] // **IEEE International Symposium on Circuits and Systems (ISCAS 2007)**. New Orleans:IEEE, 2007:2104-2107.

Design and implementation of WIMAX LDPC code decoder based on FPGA

WANG Xiu-min*, ZHANG Yang, FU Juan, WANG Yao

(College of Information Engineering, China Jiliang University, Hangzhou 310018, China)

Abstract: A partial parallel low density parity-check (LDPC) code decoder architecture based on turbo decoding message passing (TDMP)-normalized minimum sum (NMS) algorithm is proposed, which can not only achieve a convergence speed as high as TDMP algorithm, but also possess the easy-to-implement advantage of NMS algorithm while keeping a good bit error rate (BER) performance. The decoder supports the decoding of LDPC code of any code rate and code length defined in WIMAX standard. A barrel shifter-based shuffle network is designed which enables the decoder to support all the 19 code lengths. A dynamic iteration stopping criterion suitable for TDMP algorithm and its simplified version is employed with which the decoder can adjust the iteration number according to the decoding state adaptively. Experimental results show that the schemes proposed reduce the hardware cost as well as improve the throughput of the decoder effectively.

Key words: WIMAX; low density parity-check (LDPC) code decoder; field programmable gate array (FPGA); TDMP; normalized minimum sum (NMS) algorithm